

## 中華民國專利公報 [19] [12]

[11]公告編號：451558

[44]中華民國 90年(2001) 08月21日

發明

全 13 頁

[51] Int.Cl 06: H03L7/08

[54]名稱：數位相位鎖定迴路電路之數位控制振盪器電路

[21]申請案號：088110960

[22]申請日期：中華民國 88年(1999) 06月29日

[72]發明人：

潘建岱

新竹市東區高峰里寶山路四十二巷一號

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種使用於數位相位鎖定迴路(Phase Lock Loop, PLL)電路中的數位控制振盪器電路(Digitally Controlled Oscillator, DCO)，該數位控制振盪器電路至少包含：

分數型分頻裝置，因應於一參考時序用以產生一目的時序；

多控制閘延遲線裝置，具有複數個延遲單元，用以產生該數位控制振盪器電路之輸出時序，其中複數個該延遲單元係以串接方式(Cascade)耦合，且串接之複數個該延遲單元具有一初始端；

相位-頻率偵測裝置，因應於該目的時序與該輸出時序用以產生一比較結果；

計數濾波器，因應於該比較結果以變更該計數濾波器之儲存值；及

控制裝置，因應於該計數濾波器之該儲存值以產生一控制信號輸入至該多

控制閘延遲線裝置，用以變更該輸出時序之頻率值。

2.如申請專利範圍第1項之數位控制振盪器電路，其中上述之數位相位鎖定迴路包含一全數位環路濾波器(All-digital loop filter)，用以輸出一濾波信號輸入至該分數型分頻裝置，以變更該目的時序之頻率。

3.如申請專利範圍第1項之數位控制振盪器電路，其中上述之控制裝置至少包含：

週期偵測裝置，用以產生該參考時序與該延遲單元之延遲時間的週期長度比例值；

10. 延遲單元編號儲存裝置，用以指出複數個該延遲單元中被選取者之編號，其中該被選取延遲單元之輸出係成為該輸出時序之下一個輸出週期；及

15. 加法器，因應於該週期長度比例值、該計數濾波器之該儲存值、該延遲單

(2)

3

- 元中被選取者之該編號，以及該參考時序，用以產生複數個該被選取延遲單元中，下一個被選取延遲單元之編號，以及用以產生一溢位信號，用以指出回到該串接延遲單元之該初始端，以執行選定該被選取延遲單元之操作。
- 4.如申請專利範圍第3項之數位控制振盪器電路，其中上述之被選取延遲單元之該編號，較該週期長度比例值為小，當該被選取延遲單元之該編號較該週期長度比例值為大時，該加法器產生該溢位信號。
- 5.如申請專利範圍第4項之數位控制振盪器電路，其中上述之溢位信號係當該被選取延遲單元之該編號，較該週期長度比例值為大時產生。
- 6.如申請專利範圍第3項之數位控制振盪器電路，其中上述之週期偵測裝置至少包含：  
增量計數器，因應於該參考時序用以增加該增量計數器之儲存值；  
選定值控制裝置，因應於該增量計數器之儲存值與該輸出時序，用以產生一選定值；及  
週期長度比例值儲存裝置，因應於該參考時序與週期長度比例值，用以決定是否儲存該選定值以成為該週期長度比例值。
- 7.如申請專利範圍第6項之數位控制振盪器電路，其中上述之選定值控制裝置至少包含：  
邏輯運算裝置，因應於該相位差值與該輸出時序，用以產生一候選值選擇信號；及  
選定值控制多工器，因應於該候選值選擇信號，用以決定該增量計數器之儲存值或該週期長度比例值儲存裝置目前儲存值之一者，使其成為該選定值。

4

- 8.如申請專利範圍第7項之數位控制振盪器電路，其中上述之邏輯運算裝置係利用該週期長度比例值與該輸出時序產生邏輯或(Logic OR)運算，用以產生該候選值選擇信號。
- 9.如申請專利範圍第3項之數位控制振盪器電路，其中上述之加法器至少包含：  
延遲單元編號產生裝置，因應於該計數濾波器之該儲存值與該週期長度比例值，用以產生該下一個被選取延遲單元之編號；及  
比較器，因應於該週期長度比例值與該下一個被選取延遲單元之該編號，用以產生該溢位信號。
- 10.如申請專利範圍第1項之數位控制振盪器電路，其中上述之比較結果包含一進位信號與一借位信號，其中該進位信號係在該輸出時序較該目的時序為快時產生，用以降低該輸出時序之頻率值，且該借位信號係在該輸出時序較該目的時序為慢時產生，用以增加該輸出時序之頻率值。
- 11.如申請專利範圍第10項之數位控制振盪器電路，其中上述之計數濾波器係因應於該進位信號，用以增加該計數濾波器之該儲存值，且該計數濾波器係因應於該借位信號，用以減少該計數濾波器之該儲存值。
- 12.如申請專利範圍第11項之數位控制振盪器電路，其中上述當該計數濾波器之該儲存值增加至一第一預定值時，該計數濾波器產生裝置一降低頻率信號，用以驅動該控制裝置降低該輸出時序之輸出頻率。
- 13.如申請專利範圍第11項之數位控制振盪器電路，其中上述當該計數濾波器之該儲存值減少至一第二預定值時，該計數濾波器產生裝置一增加頻率信號，用以驅動該控制裝置增加該輸出

(3)

5

時序之輸出頻率。

14.一種使用於數位相位鎖定迴路(Phase Lock Loop, PLL)電路中的數位控制振盪器電路(Digitally Controlled Oscillator, DCO)，該數位控制振盪器電路至少包含：

分數型分頻裝置，因應於一固定時序與一濾波信號，用以產生一目的時序；

多控制閘延遲線(Tapped delay-line)裝置，具有複數個延遲單元，用以產生該數位控制振盪器電路之輸出時序，其中複數個該延遲單元係以串接方式(Cascade)耦合，且複數個該串接延遲單元具有一初始端；

相位-頻率偵測裝置，因應於該目的時序與該輸出時序，用以當該輸出時序較該目的時序為快時產生一進位信號，以及用以當該相位-頻率比較裝置在該輸出時序較該目的時序為慢時產生一借位信號；

計數濾波器，因應於該進位信號用以增加該計數濾波器之儲存值，其中當該計數濾波器之儲存值增加至一第一預定值時，該計數濾波器產生一降頻信號，以及因應於該借位信號以減少該計數濾波器之儲存值，其中當該計數濾波器之儲存值減少至一第二預定值時，該計數濾波器產生一增頻信號；及

控制裝置，因應於該降頻信號，用以控制該多控制閘延遲線裝置以降低該輸出時序之頻率值，以及因應於該計數濾波器之該增頻信號，用以控制該多控制閘延遲線裝置以增加該輸出時序之頻率值。

15.如申請專利範圍第14項之數位控制振盪器電路，其中上述之數位相位鎖定迴路包含一全數位迴路濾波器(All-digital loop filter)，用以輸出該濾波信號。

6

16.如申請專利範圍第14項之數位控制振盪器電路，其中上述之控制裝置至少包含：

過期偵測裝置，用以產生該參考時序與該目的時序之週期長度比例值；

延遲單元編號儲存裝置，用以指出複數個該延遲單元中被選取延遲單元之編號，其中該被選取延遲單元之輸出係成為該輸出時序之下一個輸出週期；及

加法器，因應於該過期長度比例值、該計數濾波器之該儲存值、該延遲單元中被選取延遲單元之該編號、以及該參考時序，用以產生複數個該延遲單元中，下一個被選取者之編號，以及用以產生一溢位信號，以指出回到該串接延遲單元之該初始端以執行選定該被選取延遲單元之操作。

17.如申請專利範圍第16項之數位控制振盪器電路，其中上述之該被選取延遲單元之該編號，依該週期長度比例值為小。

18.如申請專利範圍第16項之數位控制振盪器電路，其中上述之溢位信號係當該被選取延遲單元之該編號，較該週期長度比例值為大時產生。

19.如申請專利範圍第16項之數位控制振盪器電路，其中上述之過期偵測裝置至少包含：

增量計數器，因應於該參考時序用以增加該增量計數器之儲存值；

選定值控制裝置，因應於該輸出時序與該增量計數器之該儲存值用以產生一選定值；及

週期長度比例值儲存裝置，因應於該參考時序與該週期長度比例值，用以決定是否儲存該選定值於該週期長度比例值儲存裝置中以成為該週期長度比例值。

20.如申請專利範圍第19項之數位控制振

(4)

7

器電路，其中上述之選定值控制裝置至少包含：

邏輯運算裝置，因應於該週期長度比例值與該輸出時序，用以產生一候選值選擇信號；及

選定值控制多工器，因應於該候選值選擇信號，用以決定該計數器之儲存值或該週期長度比例值儲存裝置目前儲存值之一者，且使其成為該選定值。

21.如申請專利範圍第20項之數位控制振盪器電路，其中上述之邏輯運算裝置係利用該週期長度比例值與該輸出時序產生邏輯或(Logic OR)運算，用以產生該候選值選擇信號。

22.如申請專利範圍第16項之數位控制振盪器電路，其中上述之加法器至少包含：

延遲單元編號產生裝置，因應於該計數濾波器之該儲存值與該週期長度比例值，用以產生該下一個被選取延遲單元之編號；及

比較器，因應於該相位差值與該下一個被選取延遲單元之該編號，用以產生該溢位信號。

23.如申請專利範圍第14項之數位控制振盪器電路，更包含一控制該數位控制振盪器電路以產生該輸出時序之方法，該控制方法至少包含下列步驟：

產生該目的時序；

比較該目的時序與該輸出時序之相位與頻率關係；

當該輸出時序較該目的時序為快時產生該進位信號；

當該輸出時序較該目的時序為慢時產生該借位信號；

當該進位信號產生時，利用該進位信號產生該增頻信號或用以產生該降頻信號；

當該借位信號產生時，利用該借位信

8

號產生該降頻信號或用以產生該降頻信號；

當該增頻信號產生時，利用該增頻信號以增加該輸出時序之頻率值；及

5. 當該降頻信號產生時，利用該降頻信號以降低該輸出時序之頻率值。

24.一種使用於數位相位鎖定迴路(Phase Lock Loop, PLL)電路的數位控制振盪器電路(Digitally Controlled Oscillator, DCO)中產生輸出時序方法，該產生輸出時序方法至少包含下列步驟：

產生一目的時序；

比較該目的時序與該數位控制振盪器電路之輸出時序之相位與頻率關係；

15. 當該輸出時序較該目的時序為快時，增加一相位變化儲存值；

當該輸出時序較該目的時序為慢時，減少一相位變化儲存值；

20. 當該相位變化儲存值增加至一第一預定值時，降低該輸出時序之頻率值；

及

當該相位變化儲存值減少至一第二預定值時，增加該輸出時序之該頻率值。

25. 25.如申請專利範圍第24項之產生輸出時序方法，其中上述之相位-頻率偵測器係用以當該輸出時序較該目的時序為快之時，產生一進位信號用以增加該

相位變化儲存值，以及用以當該輸出時序較該目的時序為慢之時，產生一借位信號用以減少該相位變化儲存值。

30. 26.如申請專利範圍第24項之產生輸出時序方法，其中上述之相位-頻率偵測器係利用一相位-頻率偵測器(Phase-frequency detector)來產生，且該相位-頻率偵測器係用以當該輸出時序較該目的時序為快之時，產生一進位信號用以增加該

相位變化儲存值，以及用以當該輸出時序較該目的時序為慢之時，產生

35. 一進位信號用以增加該相位變化儲存值，以及用以當該輸出時序較該目的時序為慢之時，產生

40. 一借位信號用以減少該相位變化儲存值。

(5)

9

- 一借位信號用以減少該相位變化儲存值。
- 27.如申請專利範圍第26項之產生輸出時序方法，其中上述降低該輸出時序頻率值之方法至少包含下列步驟：  
增加一延遲單元間隔參數之數值；及  
利用該相位與頻率關係與該延遲單元間隔參數增加後之該數值，用以於該控制閥延遲線裝置中產生降低頻率值之該輸出時序。
- 28.如申請專利範圍第26項之產生輸出時序方法，其中上述增加該輸出時序頻率值之方法至少包含下列步驟：  
減少一延遲單元間隔參數之數值；及  
利用該相位與頻率關係與該延遲單元間隔參數減少後之該數值，用以於該控制閥延遲線裝置中產生增加頻率值之該輸出時序。
- 29.如申請專利範圍第27或28項之產生輸出時序方法，其中上述之延遲單元間隔參數係利用每個該延遲單元之延遲時間長度的倍數值來表示。
- 30.一種使用於數位相位鎖定迴路(Phase Lock Loop, PLL)電路的數位控制振盪器電路(Digitally Controlled Oscillator, DCO)中產生輸出時序方法，該產生輸出時序方法至少包含下列步驟：  
利用參考時序與濾波信號用以產生目的時序；  
比較該目的時序與該數位控制振盪器電路之輸出時序用以產生一相位與頻率關係；  
利用該相位與頻率關係以增加或減少一相位變化儲存值，其中當該輸出時序較該目的時序為快時，係增加該相位變化儲存值，且當該輸出時序較該目的時序為慢時，係減少該相位變化儲存值；  
當該相位變化儲存值增加至一第一預定值時，增加一延遲單元間隔參數

10

- 值，其中該延遲單元間隔參數係用以表示該參考時序與一延遲單元之延遲時間的週期長度比例值；  
當該相位變化儲存值減少至一第二預定值時，減少該延遲單元間隔參數值；及  
利用該相位差值與該延遲單元間隔參數，用以於一控制閥延遲線裝置中產生該輸出時序。
- 31.如申請專利範圍第30項之產生輸出時序方法，其中上述之相位差值係利用一相位-頻率偵測器(Phase-frequency detector)來產生，且該相位-頻率偵測器係用以當該輸出時序較該目的時序為快之時，產生一進位信號用以增加該相位變化儲存值，以及用以當該輸出時序較該目的時序為慢之時，產生一借位信號用以減少該相位變化儲存值。
- 32.如申請專利範圍第31項之產生輸出時序方法，其中上述之週期長度比例值係利用每個該延遲單元之延遲時間長度的倍數值來表示。
- 33.如申請專利範圍第30項之產生輸出時序方法，其中上述當該相位變化儲存值增加至該第一預定值時，該控制閥延遲線裝置係利用增加後之該延遲單元間隔參數值，用以產生降低頻率值之該輸出時序。
- 34.如申請專利範圍第30項之產生輸出時序方法，其中上述當該相位變化儲存值減少至該第二預定值時，該控制閥延遲線裝置係利用減少後之該延遲單元間隔參數值，用以產生增加頻率值之該輸出時序。
- 35.如申請專利範圍第30項之產生輸出時序方法，其中上述之控制閥延遲線裝置具有複數個以串接(Cascade)組合之延遲單元，該控制閥延遲線裝置因應於該參考時序以於複數個該串接延遲

(6)

11

單元中，選取一被選定延遲單元以輸出信號。

36. 如申請專利範圍第35項之產生輸出時序方法，更包含產生一溢位信號之步驟，用以當該串接延遲單元之最後一個延遲單元被選取時，重回該複數個該串接延遲單元之初始端以執行輸出信號之操作。

圖式簡單說明：

第一圖描繪習知的類比型態相位鎖定迴路電路之結構方塊圖；

第二圖描繪習知數位型態相位鎖定迴路電路之架構方塊圖；

第三圖A描繪習知技術中，利用分數型分頻架構之結構方塊圖；

第三圖B描繪第三圖A之分數型分頻架構所產生的時序波形圖；

第四圖A描繪習知技術中的相位跳躍DCO架構方塊圖；

第四圖B描繪第四圖A的相位跳躍

12

架構所產生的時序波形圖；

第五圖A描繪習知技術中的控制閘延遲線DCO之結構方塊圖；

第五圖B描繪第五圖A的控制閘延遲線DCO架構所產生的時序波形圖；

第六圖描繪本發明所揭露之數位控制振盪器的結構方塊圖；

第七圖A描繪本發明所揭露之數位控制振盪器的細部結構方塊圖；

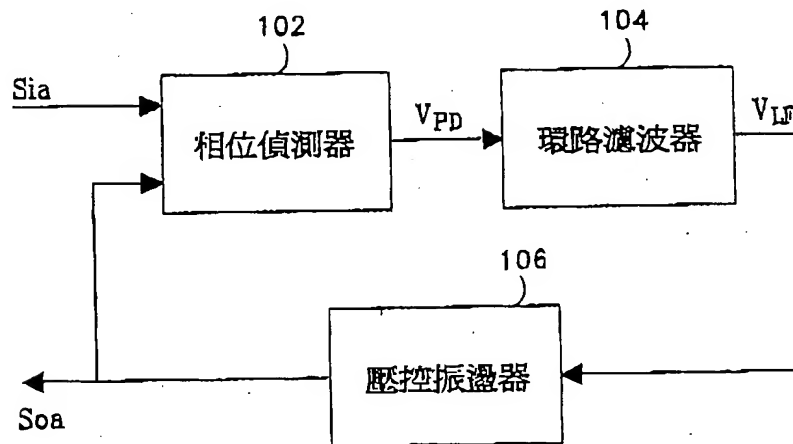
第七圖B描繪第七圖A中各節點之時序波形圖；

第八圖A描繪第七圖A中週期偵測器與其連結電路的細部結構圖；

第八圖B描繪第八圖A中，各節點之時序波形圖；

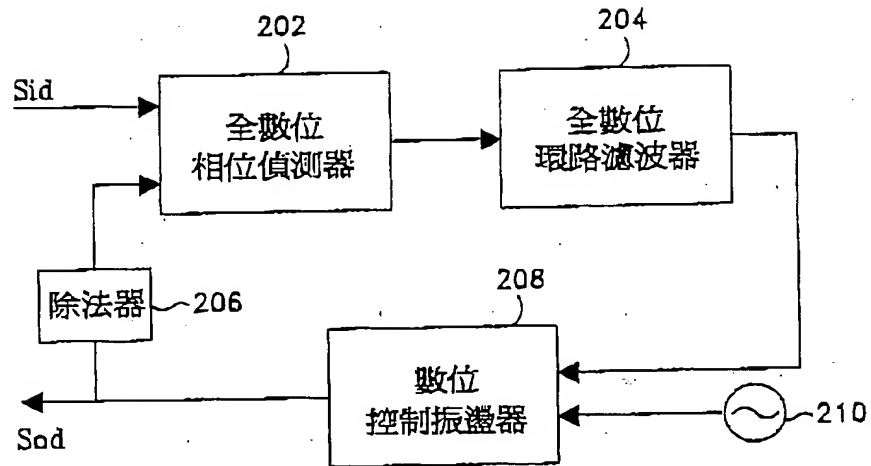
第九圖描繪第七圖A中加法器的細部結構圖；及

第十圖描繪利用本發明之數位控制振盪器所產生的時序變異隨時間變化之情形。

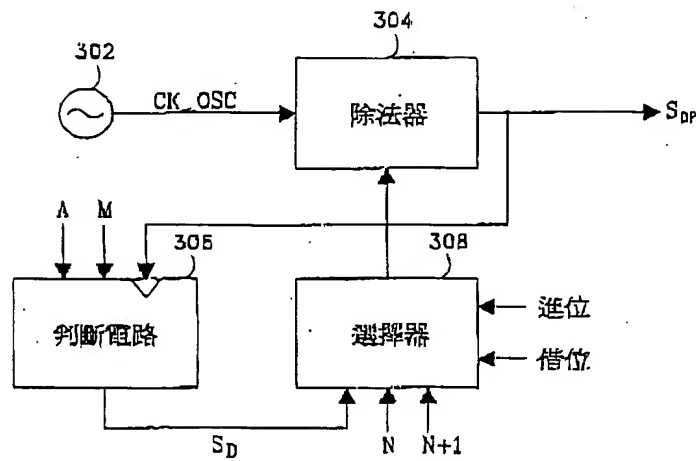


第一圖

(7)

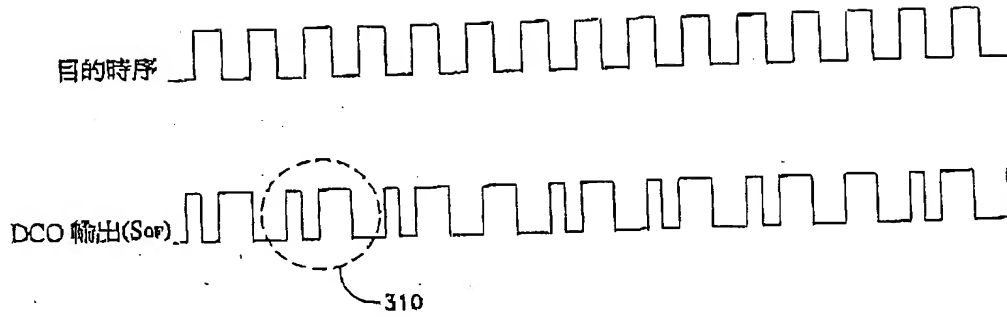


第二圖

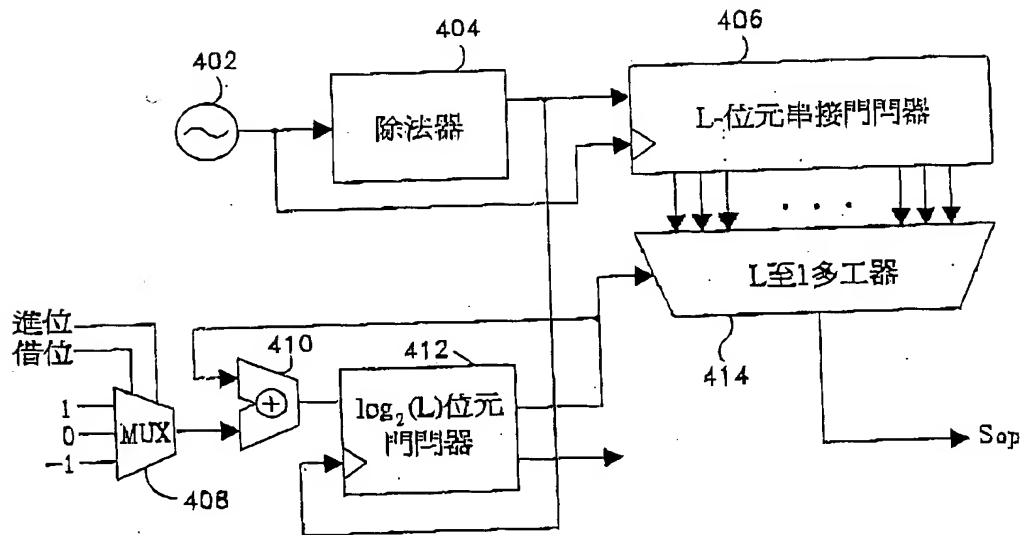


第三圖 A

(8)



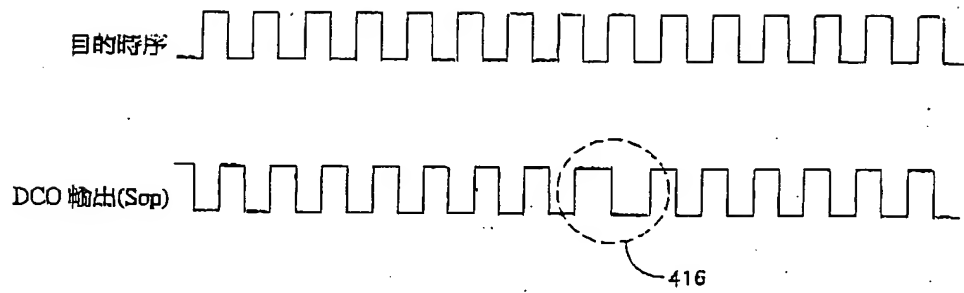
第三圖 B



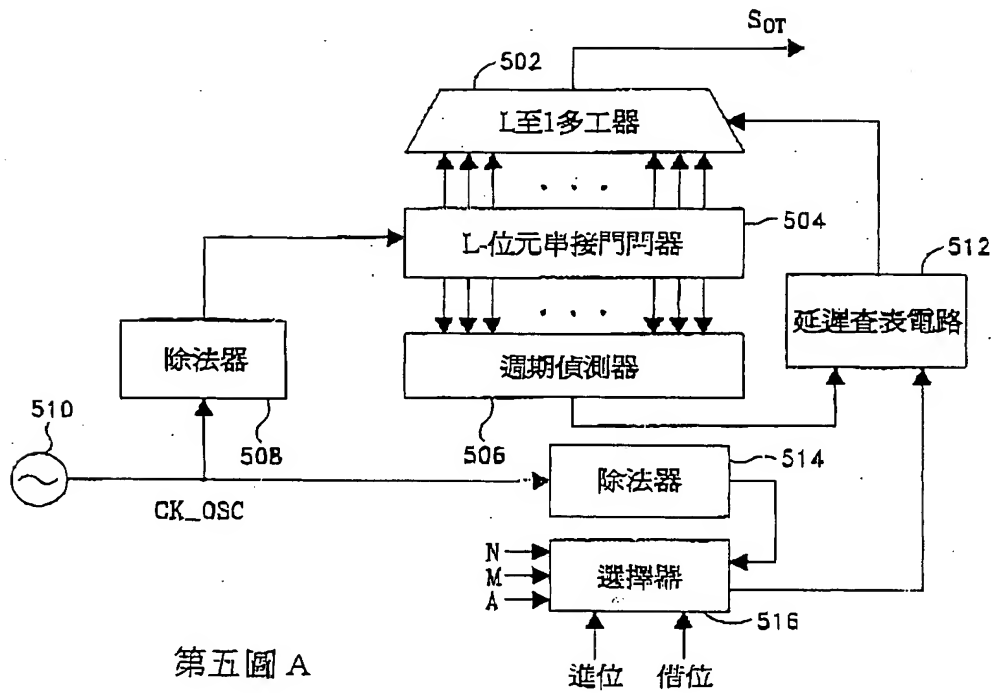
第四圖 A



(9)

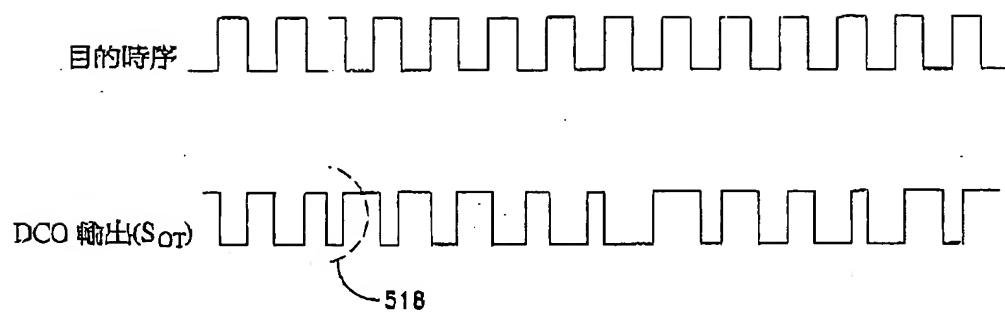


第四圖 B

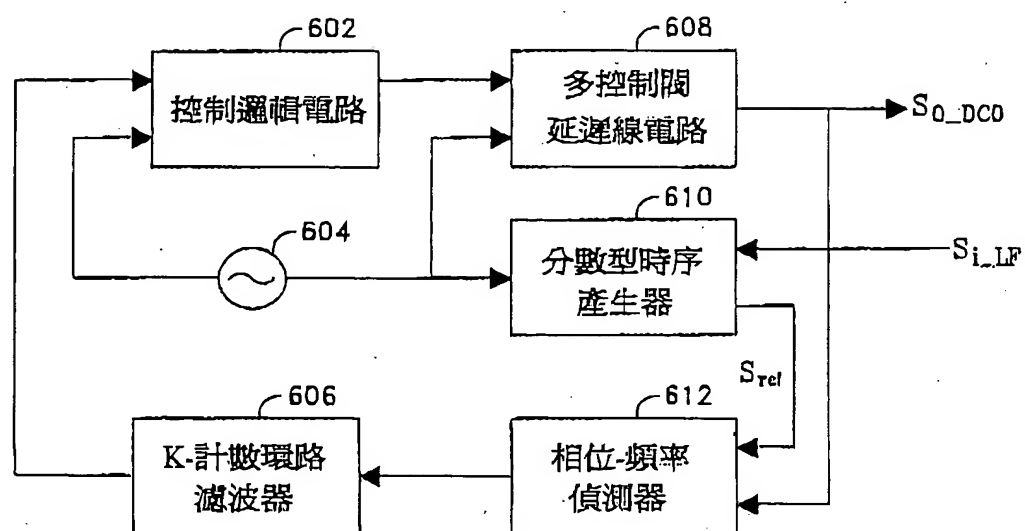


第五圖 A

(10)

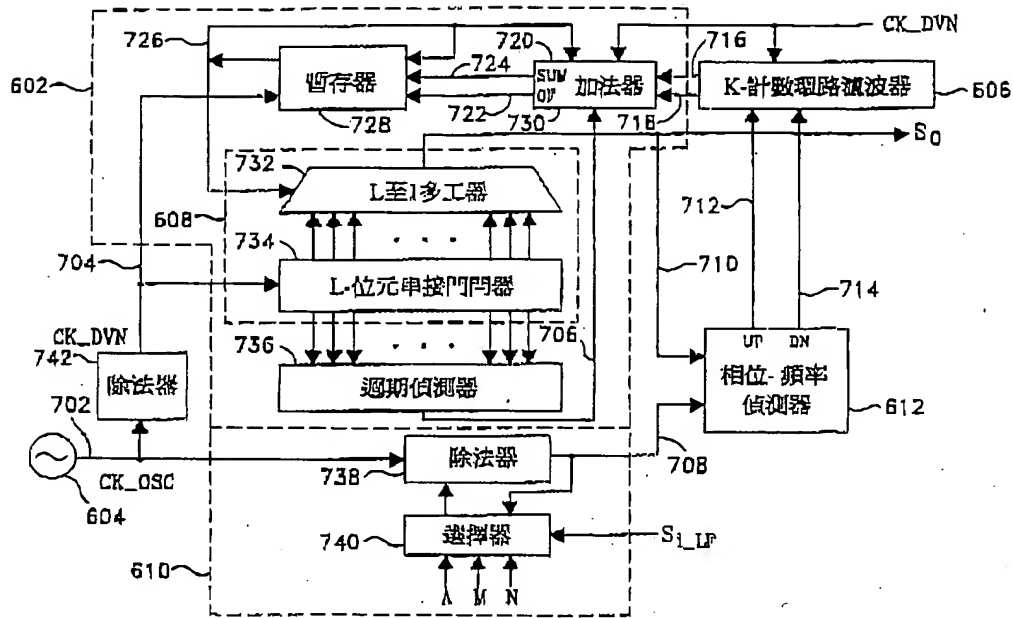


第五圖 B

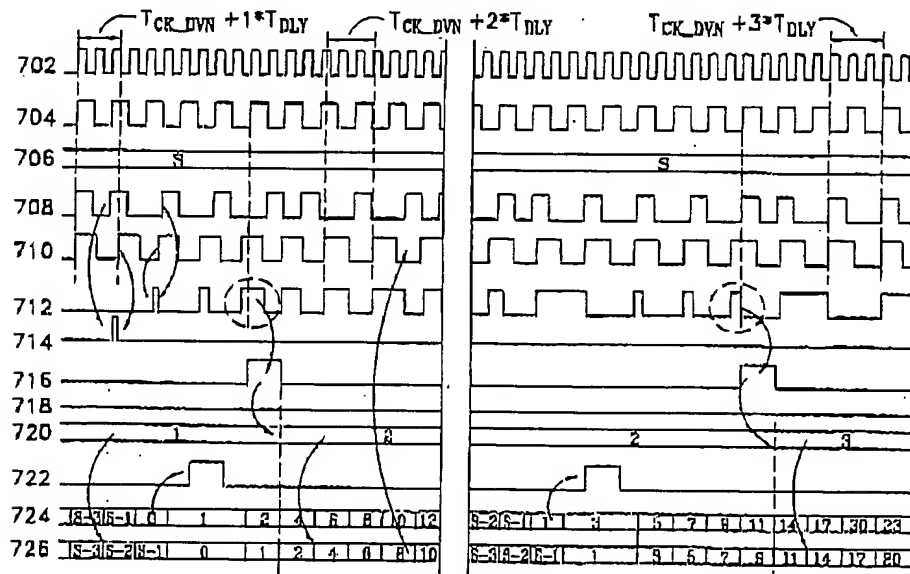


第六圖

(11)

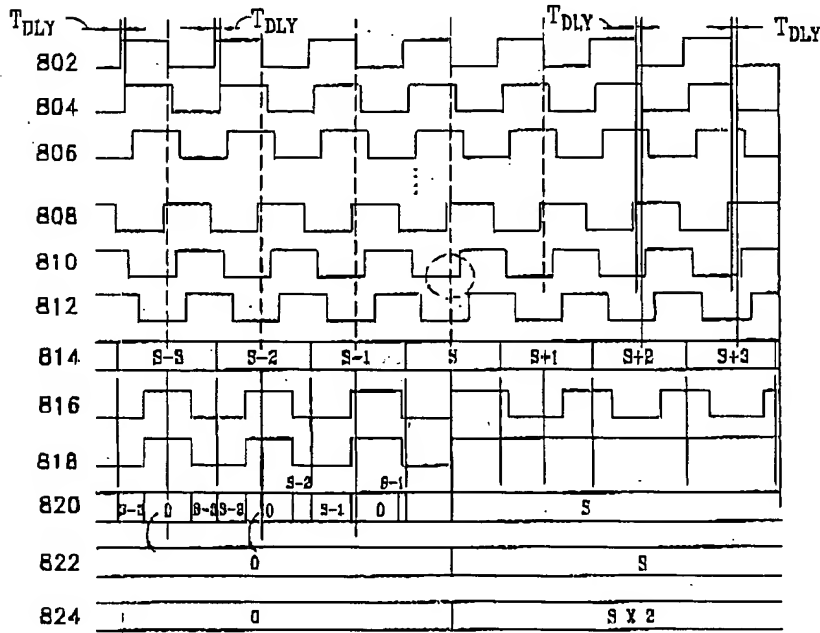
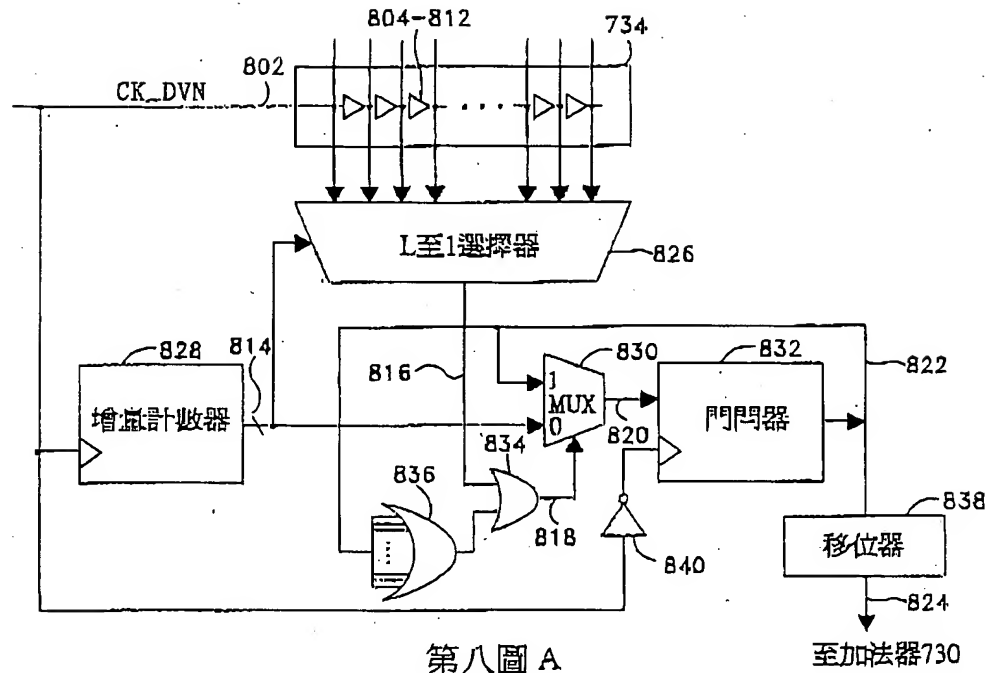


第七圖 A

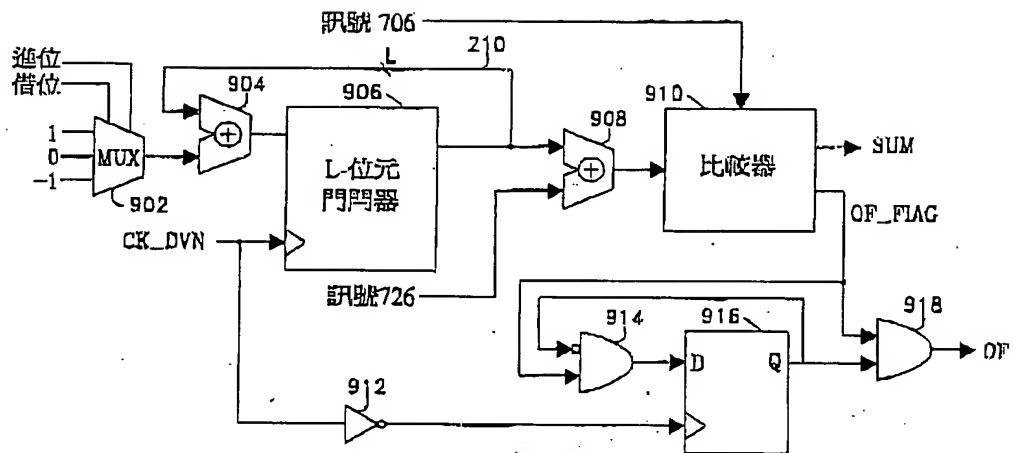


第七圖 B

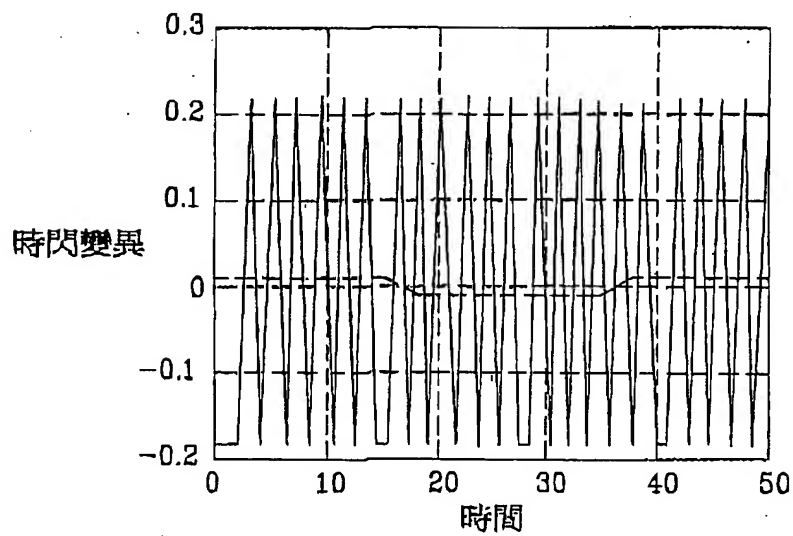
(12)



(13)



第九圖



第十圖